

# PATENT ABSTRACTS OF JAPAN

(11)Publication number : 04-278714  
(43)Date of publication of application : 05.10.1992

(51)Int.Cl. H03K 17/56  
H03K 17/04

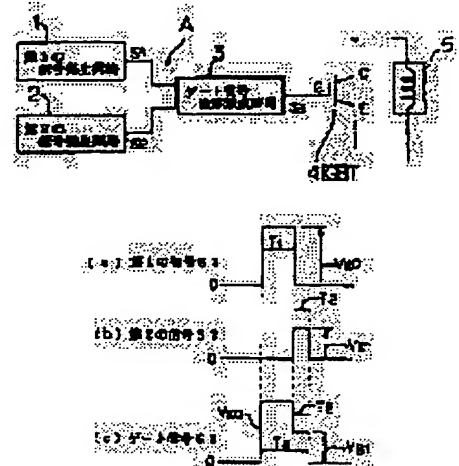
(21)Application number : 03-065696 (71)Applicant : TOSHIBA CORP  
(22)Date of filing : 06.03.1991 (72)Inventor : HIROSE TATSUYA  
MOCHIKAWA HIROSHI

## (54) IGBT DRIVING CIRCUIT

### (57)Abstract:

**PURPOSE:** To reduce the input capacity to shorten the turning-off time by lowering the voltage level of a gate signal just before turning-off of an insulated gate bipolar transistor (IGBT).

**CONSTITUTION:** A gate signal waveform generating circuit 3 superposes first and second signals S1 and S2 one over the other to generate a gate signal S3. In the last stage of a generating period T3 of the signal S3, the voltage level of the signal S3 is reduced to a minimum level Vg1, with which the saturation state can be kept, by a time T2 required for an IGBT 4 to escape from an oversaturated state Vg0. Thus, the voltage between the collector and the emitter rises in the stage just before turning-off of the IGBT 4. As the result, the input capacity is reduced, and the electric charge corresponding to the reduction is discharged to reduce the quantity of charged electric charge, and the signal S3 is cut off, and the IGBT 4 is quickly turned off to shorten the turning-off time.



## LEGAL STATUS

[Date of request for examination]  
[Date of sending the examiner's decision of rejection]  
[Kind of final disposal of application other than the examiner's decision of rejection or application converted registration]  
[Date of final disposal for application]  
[Patent number]  
[Date of registration]  
[Number of appeal against examiner's decision of rejection]  
[Date of requesting appeal against examiner's decision of rejection]  
[Date of extinction of right]

(19) 日本国特許庁 (J P)

(12) 公開特許公報 (A)

(11) 特許出願公開番号

特開平4-278714

(43) 公開日 平成4年(1992)10月5日

(51) Int. Cl. <sup>5</sup>	識別記号	庁内整理番号	F I	技術表示箇所
H 0 3 K 17/56	Z	9184-5 J		
17/04	Z	9184-5 J		

審査請求 未請求 請求項の数1(全 4 頁)

(21) 出願番号 特願平3-65696

(22) 出願日 平成3年(1991)3月6日

(71) 出願人 000003078

株式会社東芝

神奈川県川崎市幸区堀川町72番地

(72) 発明者 廣瀬 達也

三重県三重郡朝日町大字縄生2121番地 株

式会社東芝三重工場内

(72) 発明者 餅川 宏

三重県三重郡朝日町大字縄生2121番地 株

式会社東芝三重工場内

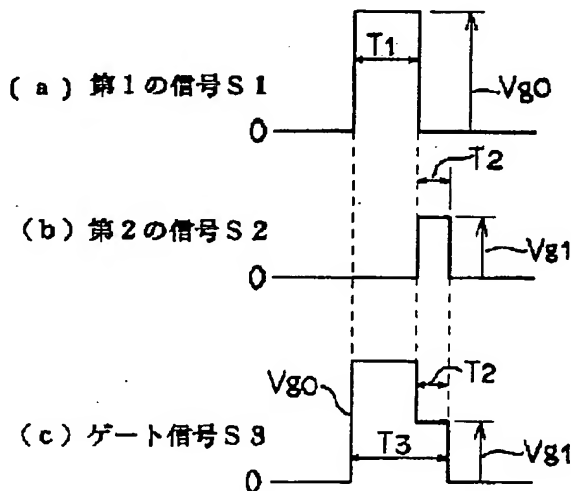
(74) 代理人 弁理士 佐藤 強 (外1名)

(54) 【発明の名称】 IGBT駆動回路

(57) 【要約】

【目的】 損失の増加を抑えつつ IGBT のターンオフ時間を短くする。

【構成】 ゲート信号 S3 の発生期間の最終段階で、IGBT が過飽和状態から抜け出すのに必要な時間 T2 だけ、ゲート信号 S3 の電圧レベルを飽和状態が維持可能な最小レベル Vg1 まで低下させる。これにより、IGBT のターンオフの直前の段階で、コレクタ・エミッタ間電圧が上昇して、入力容量が低下し、充電電荷量が減少して、ターンオフ時間が短くなる。



## 【特許請求の範囲】

【請求項1】 IGBTのゲートに、IGBTのオン時間に相当する時間幅のゲート信号を与えてIGBTをオン・オフさせるIGBT駆動回路において、前記ゲート信号の発生期間の最終段階で、前記IGBTが過飽和状態から抜け出すのに必要な時間だけ前記ゲート信号の電圧レベルを飽和状態が維持可能な最小レベルまで低下させるように構成したことを特徴とするIGBT駆動回路。

## 【発明の詳細な説明】

【0001】 【発明の目的】

【0002】

【産業上の利用分野】 本発明は、IGBT（インシュレーテッド・ゲート・バイポーラ・トランジスタ）のスイッチング特性を改善したIGBT駆動回路に関する。

【0003】

【従来の技術】 近年、新世代のパワースwitching素子としてIGBTが注目されている。このIGBTは、MOSFETの高入力インピーダンス特性・高速性とバイポーラトランジスタの高伝導度（低飽和電圧）特性とを両立させた素子で、その優れた特性を生かして、例えば、低騒音インバータ、ACサーボモータ駆動装置など、高速素子が不可欠な装置への採用が拡大しつつある。

【0004】 このIGBTは、ゲートに図7に示す矩形波状のゲート信号を与えることにより、そのゲート信号の立ち上がりでオンし、立ち下がり（ゲート信号の遮断）でターンオフするようになっている。

【0005】

【発明が解決しようとする課題】 ところで、将来的に、IGBTの利用度・有用性を大きく伸ばせるか否かは、IGBTの特長の1つであるスイッチングの高速性を更に向上できるかどうかにかかっており、高速性が現在の重要な技術的課題となっている。

【0006】 この技術的課題の背景には、IGBTのコレクタ・エミッタ間電圧とターンオフ時間（スイッチング特性）との間のいわゆるトレードオフの関係がある。即ち、図5に示すように、ゲート電圧を十分に大きな値 $V_{go}$ にして、IGBTが過飽和状態になっているときには、コレクタ・エミッタ間電圧は低い値 $V_{ceo}$ に抑えられるが、この電圧 $V_{ceo}$ では、図6に示すように、入力容量（ゲート・エミッタ間の容量）が大きい値 $C_o$ になるので、放電に時間がかかり、ターンオフ時間が長くなってしまふ。

【0007】 一方、ゲート電圧を、例えば飽和状態を維持する限界レベル $V_{gl}$ （図5参照）まで低下させると、コレクタ・エミッタ間電圧は過飽和時に比べて大幅に上昇し、 $V_{ce1}$ という高い電圧になってしまい、損失が増大するという欠点がある。その反面、コレクタ・エミッタ間電圧と入力容量との間には、図6に示すように、コ

レクタ・エミッタ間電圧が上昇するほど、入力容量が低下して、充電電荷量も減り、ターンオフ時間が短くなるという関係があるので、スイッチングの高速化にはコレクタ・エミッタ間電圧を高くした方（即ちゲート電圧を低くした方）が有利である。

【0008】 しかしながら、上述したように、コレクタ・エミッタ間電圧が上昇するほど（即ちゲート電圧が低くなるほど）、損失が増大して、効率が悪くなってしまふ欠点があり、これがスイッチングの高速化に大きな障害となっていた。

【0009】 本発明はこの様な事情を考慮してなされたもので、従ってその目的は、損失の増加を抑えつつ、IGBTのターンオフ時間を短くできて、スイッチングを高速化をできるIGBT駆動回路を提供することにある。

【0010】 【発明の構成】

【0011】

【課題を解決するための手段】 本発明のIGBT駆動回路は、IGBTのゲートに、IGBTのオン時間に相当する時間幅のゲート信号を与えてIGBTをオン・オフさせるものにおいて、前記ゲート信号の発生期間の最終段階で、前記IGBTが過飽和状態から抜け出すのに必要な時間だけ前記ゲート信号の電圧レベルを飽和状態が維持可能な最小レベルまで低下させるように構成したものである。

【0012】

【作用】 上記手段によれば、ゲート信号の発生期間の最終段階で、IGBTが過飽和状態から抜け出すのに必要な時間だけゲート信号の電圧レベル（ゲート電圧）を飽和状態が維持可能な最小レベルまで低下させる。この様に、IGBTのターンオフの直前の段階で、ゲート信号の電圧レベルが低下すれば、それに応じて、コレクタ・エミッタ間電圧が上昇し（図5参照）、入力容量が低下して（図6参照）、充電電荷量も減り、ターンオフ時間が短くなる。

【0013】 この場合、ターンオフの直前で、ゲート電圧を低下させるだけであるから、ターンオン当初からゲート電圧を低くする場合とは異なり、損失の増加が最小限に抑えられて、効率の低下も極めて少なく、極めて実用的である。

【0014】

【実施例】 以下、本発明の第1実施例を図1及び図2に基づいて説明する。IGBT駆動回路Aは、第1の信号発生回路1、第2の信号発生回路2及びゲート信号波形形成回路3とから構成される。そして、このゲート信号波形形成回路3から出力されるゲート信号S3がIGBT4のゲートGに与えられ、このIGBT4がターンオンして負荷5が駆動される。

【0015】 上記第1の信号発生回路1から出力される第1の信号S1は、図2（a）に示すように、矩形波状

であり、その電圧レベル $V_{go}$ がゲート信号 $S_3$ の初期電圧レベル $V_{go}$ と同一になっている。また、第1の信号 $S_1$ のパルス幅 $T_1$ は、ゲート信号 $S_3$ のパルス幅 $T_3$ よりも、後述する第2の信号 $S_2$ のパルス幅 $T_2$ 分だけ短く、即ち $T_1 = T_3 - T_2$ に設定されている。そして、この第1の信号 $S_1$ の立ち上がり時期は、ゲート信号 $S_3$ の立ち上がり時期と同時である。

【0016】一方、第2の信号発生回路2から出力される第2の信号 $S_2$ は、図2(b)に示すように、矩形波状であり、その電圧レベル $V_{g1}$ がゲート信号 $S_3$ の最終電圧レベル $V_{g1}$ と同一になっている。また、第2の信号 $S_2$ のパルス幅 $T_2$ は、IGBT4が過飽和状態( $V_{go}$ )から抜け出すのに必要な時間に設定されている。そして、この第2の信号 $S_2$ の立ち上がり時期は、第1の信号 $S_1$ の立ち下がり時期と同時である。

【0017】また、ゲート信号波形形成回路3は上述した第1の信号 $S_1$ と第2の信号 $S_2$ とを重畳させてゲート信号 $S_3$ を形成する。これにより、ゲート信号 $S_3$ の発生期間 $T_3$ の最終段階で、IGBT4が過飽和状態( $V_{go}$ )から抜け出すのに必要な時間 $T_2$ だけ、ゲート信号 $S_3$ の電圧レベル(ゲート電圧)を飽和状態が維持可能な最小レベル $V_{g1}$ まで低下させる構成となっている。

【0018】上記構成によれば、ゲート信号 $S_3$ の発生期間 $T_3$ の最終段階で、IGBT4が過飽和状態( $V_{go}$ )から抜け出すのに必要な時間 $T_2$ だけ、ゲート信号 $S_3$ の電圧レベル(ゲート電圧)を飽和状態が維持可能な最小レベル $V_{g1}$ まで低下させる。これにより、IGBT4は、ターンオフの直前の段階で、ゲート電圧が過飽和電圧 $V_{go}$ から $V_{g1}$ へ抜け出してコレクタ・エミッタ間電圧が $V_{ce0}$ から $V_{ce1}$ へ上昇する(図5参照)。このコレクタ・エミッタ間電圧の上昇により、図6に示すように、入力容量が $C_0$ から $C_1$ へ低下して、その入力容量の低下分に相当する量の電荷が放電され、充電電荷量が減少する。この状態で、ゲート信号 $S_3$ が遮断されるので、従来のように過飽和状態( $V_{go}$ )から一気に遮断する場合に比して、放電が速やかに行われて、IGBT4が速やかにターンオフするようになり、従来に比してターンオフ時間が短くなる。

【0019】この場合、ターンオフの直前で、ゲート電圧を低下させるだけであるから、ターンオン当初からゲート電圧を低くする場合とは異なり、損失の増加が最小限に抑えられて、効率の低下も極めて少なく、極めて実用的である。

【0020】尚、ゲート信号 $S_3$ の作り方は、上記第1実施例に限定されず、図3や図4に示す本発明の第2実施例、第3実施例のようにしても良い。

【0021】即ち、図3に示す本発明の第2実施例では、第1の信号発生回路1から出力される第1の信号 $S_1$ は、電圧レベルが $V_{go}$ の矩形波で、ゲート信号 $S_3$ の

初期電圧レベル $V_{go}$ と等しい電圧レベルとなっている。この第1の信号 $S_1$ は、パルス幅 $T_3$ がゲート信号 $S_3$ のパルス幅 $T_3$ と同一で、また、立ち上がり時期もゲート信号 $S_3$ の立ち上がり時期と同時である。

【0022】一方、第2の信号発生回路2から出力される第2の信号 $S_2$ は、 $-V_{g2}$ なる負の電圧レベルの矩形波で、そのパルス幅 $T_2$ は、IGBT4が過飽和状態( $V_{go}$ )から抜け出すのに必要な時間に設定されている。この第2の信号 $S_2$ は、第1の信号 $S_1$ の立ち上がりから( $T_3 - T_2$ )秒後に出力されて、ゲート信号波形形成回路3で第1の信号 $S_1$ と重畳され、ゲート信号 $S_3$ が形成される。

【0023】この場合、第1及び第2の両信号 $S_1$ 、 $S_2$ の重畳により、ゲート信号 $S_3$ の電圧レベルが、ターンオフ直前の $T_2$ 秒間は、 $V_{go} - V_{g2}$ に低下することになる。従って、 $V_{go} - V_{g2} = V_{g1}$ (ここで、 $V_{g1}$ は飽和状態が維持可能な最小電圧)となるように、第2の信号 $S_2$ の電圧レベル( $-V_{g2}$ )を設定すれば、第1実施例と全く同じゲート信号 $S_3$ が得られる。

【0024】また、図4に示す本発明の第3実施例では、第1の信号発生回路1から出力される第1の信号 $S_1$ は、電圧レベルが $V_{g3}$ の矩形波で、 $V_{g1} + V_{g3} = V_{go}$ となるように、 $V_{g3}$ が設定されている。ここで、 $V_{g1}$ は飽和状態が維持可能な最小電圧であり、 $V_{go}$ はゲート信号 $S_3$ の初期電圧レベルである。そして、この第1の信号 $S_1$ は、立ち上がり時期がゲート信号 $S_3$ の立ち上がり時期と同時で、パルス幅 $T_1$ がゲート信号 $S_3$ のパルス幅 $T_3$ よりも $T_2$ だけ短くなるように設定されている( $T_1 = T_3 - T_2$ )。ここで、 $T_2$ は、IGBT4が過飽和状態( $V_{go}$ )から抜け出すのに必要な時間である。

【0025】一方、第2の信号発生回路2から出力される第2の信号 $S_2$ は、電圧レベルが $V_{g1}$ の矩形波で、そのパルス幅 $T_3$ は、ゲート信号 $S_3$ のパルス幅 $T_3$ と同一である。この第2の信号 $S_2$ は、第1の信号 $S_1$ と同時に出力されて、ゲート信号波形形成回路3で第1の信号 $S_1$ と重畳され、ゲート信号 $S_3$ が形成される。

【0026】これら第1及び第2の両信号 $S_1$ 、 $S_2$ の重畳により、ゲート信号 $S_3$ は、立ち上がりから $T_1$ 秒間は、電圧レベルが、 $V_{g1} + V_{g3} = V_{go}$ となり、この後、ターンオフ直前の $T_2$ 秒間は、 $V_{g1}$ に低下するので、第1実施例と全く同じゲート信号 $S_3$ が得られる。

【0027】上記第1乃至第3の各実施例では、ゲート信号 $S_3$ を形成するために、第1及び第2の両信号 $S_1$ 、 $S_2$ を重畳させるようにしたが、これ以外の方法でゲート信号 $S_3$ を形成するようにしても良いことは言うまでもない。

【0028】

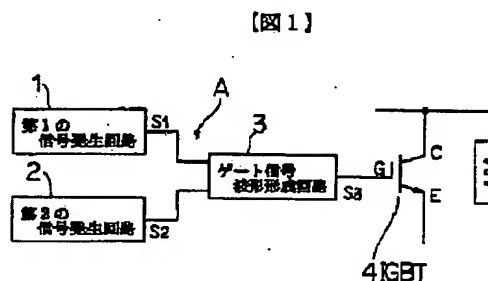
【発明の効果】本発明は以上の説明から明らかなように、ゲート信号の発生期間の最終段階で、IGBTが過

飽和状態から抜け出すのに必要な時間だけ、ゲート信号の電圧レベルを飽和状態が維持可能な最小レベルまで低下させるようにしたので、IGBTのターンオフの直前の段階で、コレクタ・エミッタ間電圧を上昇させて、ターンオフ時間を短くすることができ、スイッチングを高速化できると共に、ターンオン当初からゲート電圧を低くする場合とは異なり、損失の増加が最小限に抑えられて、効率の低下も極めて少なく、極めて実用的であるという優れた効果を奏する。

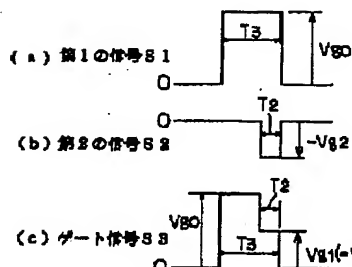
【図面の簡単な説明】

【図1】 本発明の第1実施例を示すブロック図

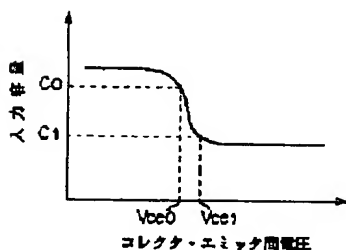
【図2】 各信号の波形図



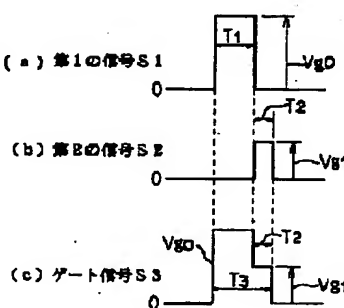
【図3】



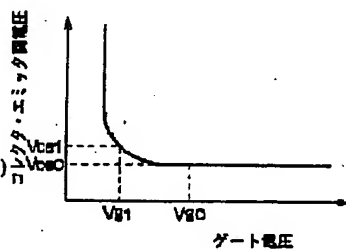
【図6】



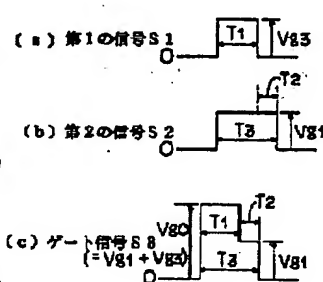
【図2】



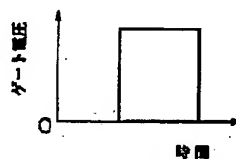
【図5】



【図4】



【図7】



# PATENT ABSTRACTS OF JAPAN

(11)Publication number : 05-235722

(43)Date of publication of application : 10.09.1993

(51)Int.Cl.

H03K 17/04

(21)Application number : 04-032304

(71)Applicant : ENERGY SUPPORT CORP

(22)Date of filing : 19.02.1992

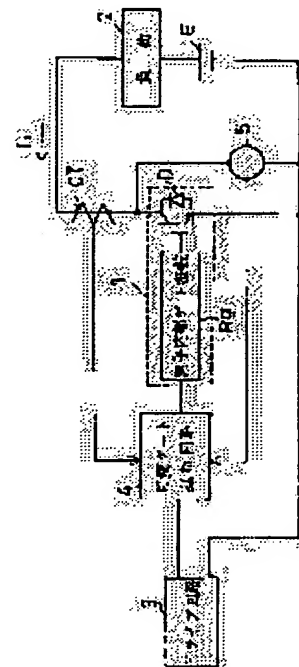
(72)Inventor : NISHIMURA YOSHIHIRO

## (54) SWITCHING ELEMENT DRIVE CIRCUIT

### (57)Abstract:

**PURPOSE:** To provide the switching element drive circuit reducing a turn-on/turn-off time automatically and preventing a damage to a voltage drive switching element due to a surge voltage.

**CONSTITUTION:** A switching element drive circuit which is driven by applying a voltage to a voltage drive switching element 1 provided with a load 2 between a collector and an emitter to drive the switching element 1 is provided with a variable gate resistor circuit 4 connected in series with a gate of the element 1, a current transformer CT detecting a load current  $I_o$  fed to the load 2, a voltage detector 5 detecting a collector-emitter voltage of the element 1. The resistance of the variable gate resistor circuit 4 is controlled variably based on a change of the load current  $I_o$  and whether or not a voltage is a surge voltage. Through the constitution above, the turn-on/turn-off time of the element is reduced automatically and the defect of the element 1 due to a surge voltage is prevented.



## LEGAL STATUS

[Date of request for examination]

[Date of sending the examiner's decision of rejection]

[Kind of final disposal of application other than the examiner's decision of rejection or application converted registration]

[Date of final disposal for application]

[Patent number]

[Date of registration]

[Number of appeal against examiner's decision of rejection]

[Date of requesting appeal against examiner's decision of rejection]

[Date of extinction of right]